

(51)Int.Cl.<sup>6</sup>H 04 N 5/92  
G 11 B 20/10  
H 04 N 5/93

識別記号

府内整理番号

F I

技術表示箇所

H 04 N 5/92

5/93

H

Z

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21)出願番号

特願平6-155695

(22)出願日

平成6年(1994)7月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 坪井 幸利

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

(72)発明者 奥 万寿男

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

(72)発明者 藤井 由紀夫

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所映像メディア研究所内

(74)代理人 弁理士 小川 勝男

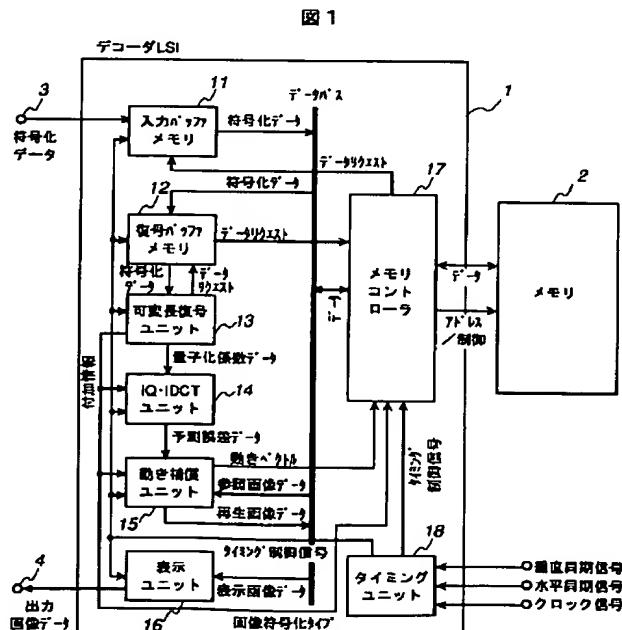
最終頁に続く

## (54)【発明の名称】 デジタル映像信号復号装置

## (57)【要約】

【目的】回路規模が小さいデジタル映像信号復号装置を実現する。また、消費電力を小さく抑える。

【構成】デジタル映像信号の符号化データの復号処理と再生された画像データを出力する表示処理を行うデジタル映像信号復号装置において、表示処理回路における表示クロックと所定の比率の関係にある周波数の処理クロックを設定し、さらに復号処理回路の動作を表示処理回路の動作に同期させて動作させるように、各ブロックの復号処理を行うタイムスロットを固定的に割り当てる。1フレームの符号化データの復号処理を1フレーム表示期間内で必ず終了させるように、1フレームを構成する総ブロック数よりも多い所定個数の固定タイムスロットを1フレーム表示期間内に設ける。



## 【特許請求の範囲】

【請求項1】所定の画像符号化方式によりデータ圧縮されたディジタル映像信号の符号化データを復号して再生画像データを生成し、所定の表示タイミングに従って該再生画像データを表示出力するディジタル映像信号復号装置であって、ディジタル映像信号の各フレームの符号化データの復号処理を、該表示タイミングに同期させて行うことを特徴とするディジタル映像信号復号装置。

【請求項2】該表示タイミングに従って所定個数のタイムスロットを1フレーム表示期間に對して割り当て、ディジタル映像信号の複数画素から成る各ブロックの復号処理を、1個または複数個の該タイムスロットにおいて行うことを特徴とする請求項1記載のディジタル映像信号復号装置。

【請求項3】所定の画像符号化方式によりデータ圧縮されたディジタル映像信号の符号化データを復号して再生画像データを生成し、所定の表示タイミングに従って該再生画像データを表示出力する復号処理回路と、該復号処理回路において生成された再生画像データを一時記憶保持するメモリとを備えるディジタル映像信号復号装置であって、ディジタル映像信号の各フレームの符号化データの復号処理に伴う該メモリに対するデータアクセスを、該表示タイミングに同期させて行うことを特徴とするディジタル映像信号復号装置。

【請求項4】該表示タイミングに従って所定個数のタイムスロットを1フレーム表示期間に對して割り当て、ディジタル映像信号の複数画素から成る各ブロックの復号処理に伴う該メモリに対するデータアクセスを、1個または複数個の該タイムスロットにおいて行うことを特徴とする請求項3記載のディジタル映像信号復号装置。

【請求項5】該メモリは、該復号処理回路において生成された再生画像データに加え、該復号処理回路において復号処理されるディジタル映像信号の符号化データも一時記憶保持することを特徴とする請求項4記載のディジタル映像信号復号装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高能率符号化によりデータ圧縮されたディジタル映像信号の符号化データを復号し、その結果再生されたディジタル映像信号の画像データを表示処理するディジタル映像信号復号装置に関する。

## 【0002】

【従来の技術】ディジタル映像信号の高能率符号化方式としては、高いデータ圧縮率を実現するためのフレーム間符号化方式が知られている。これは、ディジタル映像信号では通常フレーム間の相関が高いことを利用して、データ圧縮率を高める方式である。例えば、動き補償フレーム間予測符号化方式が知られている。これは、前フレームと現在のフレームとを所定サイズのブロック単位

で比較して動きベクトルを求めた後、その動きベクトルによりシフトさせた位置から前フレームのブロックの画像データを読み出し、符号化すべき現在のフレームの画像データからその予測値を減算して、動き補償予測誤差を所定の方式でデータ圧縮する方式である。動き補償予測誤差をデータ圧縮する方式としては、画像データそのものを符号化するフレーム内符号化方式と同等の方式が用いられる。

【0003】フレーム内符号化方式は、フレームごとに独立に画像データそのものを符号化する方式であり、例えば、変換符号化方式が知られている。これは、フレームを所定サイズのブロックに分割した後に、ブロック単位で所定の直交変換を行い、周波数成分に相当する変換後の係数データを量子化、および可変長符号化して符号化データを生成する方式である。これは、ディジタル映像信号の各フレームにおいて、通常フレーム内の画像データには高い相関があることを利用してデータ圧縮する方式である。

【0004】ディジタル映像信号符号化装置では、ディジタル映像信号をデータ圧縮した符号化データをデータ記録媒体に記録する、または通信回線を介して送信する。それに対して、ディジタル映像信号復号装置では、データ記録媒体から再生した、または通信回線を介して受信した符号化データを復号し、再生されたディジタル映像信号を表示装置に出力する。ディジタル映像信号復号装置において、受け取った符号化データの復号を正常に開始できるのは、基本的にフレーム内符号化されたデータからであるので、ディジタル映像信号符号化装置においては、このようなフレーム内符号化されたフレームを適当な間隔で設けるのが普通である。すなわち、フレーム内符号化フレーム（以下、Iフレームと呼ぶ）とフレーム間符号化フレーム（以下、Pフレームと呼ぶ）とを織り交ぜながら符号化することになる。

【0005】データ記録媒体に符号化データを記録するシステムにおいては、その再生時に多少の遅延時間は許容されるため、データ圧縮率をさらに高めるためにフレーム内挿符号化方式も併用されることがある。このフレーム内挿符号化方式は、前フレームだけでなく後フレームとの相関も利用してデータ圧縮率を高める方式である。例えば、双方向動き補償フレーム間予測符号化方式が知られている。これは、表示順で前のフレームと現在のフレームとを所定サイズのブロック単位で比較して動きベクトルを求めると同時に、表示順で後のフレームに對しても同様にしてブロック単位で動きベクトルを求めた後、それぞれの動きベクトルによりシフトさせた位置から前フレーム、および後フレームのブロックの画像データを読み出して平均値を生成し、符号化すべき現在のフレームの画像データからそのフレーム内挿値を減算して動き補償予測誤差を所定の方式でデータ圧縮する方式である。例えば、第1フレームに對してフレーム内符号

化を行った後に、第4フレームに対して第1フレームを参照画面としてフレーム間符号化を行い、その後に第2フレームと第3フレームに対して第1フレームと第4フレームの両方を参照画面としてフレーム内挿符号化することになる。このフレーム内挿符号化されたフレーム（以下、Bフレームと呼ぶ）がその後の符号化において参照画面として用いられることはない。

【0006】特にデータ記録媒体への符号化データの記録を行うシステムにおいて、デジタル映像信号符号化装置は、以上説明したIフレームとPフレーム、Bフレームとを適宜織り交ぜながら符号化を行うことで、高いデータ圧縮率とランダムアクセスや編集等の機能の両立を実現することが可能となる。Bフレームを含めて符号化した場合には符号化側でフレーム順の並び換えが行われる。なお、インターレース走査されている映像信号を、IフレームとPフレーム、Bフレームとを適宜織り交ぜながら符号化する動画像符号化方式としては、テレビジョン学会誌、第48巻、第1号（1994年）、第44頁から第49頁において概説されている方式が知られている。

【0007】現行TVの映像信号はインターレース走査された信号であるため、ライン数が半分でライン位置が交互にずれている2枚のフィールドから、1枚のフレームは構成される。1フレームを構成する各フィールドの間には時間のずれもある。したがって、デジタル映像信号復号装置においては、このインターレース走査された映像信号を表示処理する必要がある。しかしながら、データ圧縮の際には、各フレームが所定サイズのブロックに分割されフレーム単位で符号化処理されることが一般的であるので、デジタル映像信号復号装置における復号処理において、復号した結果再生された画像データの出力は、フレームの中で左上から右下へ向かうブロック単位での順次走査の順番となる。したがって、デジタル映像信号復号装置においては、ブロック単位の順次走査と画素単位のインターレース走査との走査変換の処理が必要となる。また、Bフレームが含まれる場合には、再生側で正常な順番で各フレームの表示を行うためには、符号化データの復号を行った後にフレーム順の並び換えの処理も必要となる。

【0008】従来のデジタル映像信号復号装置としては、入力されたデジタル映像信号の符号化データを所定の処理クロックに従って復号処理して、その結果再生された画像データを所定フレーム数分の容量を備えるフレームメモリに一旦書き込む復号処理回路と、走査変換とフレーム順並び換えの処理を行いながらフレームメモリから画像データを読み出し、所定の表示クロックに従ってデジタル映像信号として表示処理する表示処理回路から成るもののが知られている。復号処理回路がPフレームやBフレームの復号処理を行う場合には、フレームメモリから参照画面の画像データも読み出される。

【0009】復号処理回路における処理クロックは、各フレームの符号化データを復号する場合に要求される処理量のばらつきの大きさを考慮して、各フレームの符号化データの復号処理を1フレーム期間内に必ず終了させることが可能な周波数に設定されている。一般的に、各フレームの符号化データを復号する場合に要求される処理量は、そのフレームがどのような符号化方式で符号化されているか、すなわちIフレームかPフレームかBフレームかに応じて変化する。また、そのフレームの符号化データのデータ量に応じて変化する。

【0010】表示処理回路における表示クロックは、デジタル映像信号のサンプリング周波数と等しい周波数である。現行TVのデジタル映像信号の場合は13.5MHzが標準的である。復号処理回路における処理クロックは、この表示処理回路における表示クロックとは無関係に設定される場合もあるし、また表示クロックと所定の比率の関係にある周波数が設定される場合もある。ただし、いずれの場合も復号処理回路と表示処理回路は独立に非同期で動作する。また、復号処理回路を構成する様々な処理回路も基本的には非同期で動作する。

【0011】フレームメモリに対して、復号処理回路では復号した結果の再生画像データを書き込み、表示処理回路では表示のために再生画像データを読み出すことになる。したがって、従来のデジタル映像信号復号装置においては、復号処理回路の書き込みと表示処理回路の読み出しに関してメモリアクセスの調停を行う調停処理回路が備えられている。

【0012】このような従来のデジタル映像信号復号装置としては、例えば日経エレクトロニクス、第603号（1994年3月14日）、第93頁から第100頁に記載されているデジタル映像信号復号装置が挙げられる。

### 【0013】

【発明が解決しようとする課題】しかしながら、上記従来技術においては、復号処理回路と表示処理回路、および復号処理回路を構成する様々な処理回路が非同期で動作するので、デジタル映像信号復号装置の全体を破綻なく動作させるためには、全ての処理回路の動作を監視しながら複雑な制御を行う動作制御回路を設けたり、あるいは全ての処理回路がその関連処理回路との間でハンドシェークにより動作を制御し合う必要があった。また、メモリアクセスの調停処理回路も必須となっていた。したがって、全体の動作を制御するために必要となる付加回路の回路規模が大きいという課題があった。

【0014】また、各フレームの符号化データを復号する場合に要求される処理量のばらつきが大きい場合、各フレームの符号化データの復号処理が1フレーム期間内に必ず終了することを保証するためには、処理量のばらつきが大きくなればなる程、復号処理回路における処理クロックの周波数を高く設定しなければならなかった。

したがって、その場合には消費電力が増大してしまうという課題があった。

【0015】本発明の目的は、回路規模と消費電力が小さいデジタル映像信号復号装置を実現することにある。

#### 【0016】

【課題を解決するための手段】上記目的を達成するため、本発明では、表示処理回路における表示クロックと所定の比率の関係にある周波数の処理クロックを設定し、さらに復号処理回路の動作を表示処理回路の動作に同期させて動作させる。表示走査のタイミングに従って、各ブロックの復号処理を行うタイムスロットを固定的に割り当て、そのタイミング信号を生成するタイミング回路を設ける。表示の1フレーム期間に対して、1フレームを構成する総ブロック数よりも多い所定個数のタイムスロットを割り当て、表示処理回路と復号処理回路を同期させて動作させる。復号処理回路を構成する様々な処理回路は全て、固定タイムスロットに従いブロック単位で処理を行う。

#### 【0017】

【作用】復号処理回路と表示処理回路、および復号処理回路を構成する様々な処理回路が同期して動作するので、デジタル映像信号復号装置の全体の動作を司る固定タイムスロットのタイミング信号を生成するタイミング回路は簡単な回路となり、回路規模は小さく抑えられる。

【0018】各フレームの符号化データを復号する場合に要求される処理量のばらつきが大きい場合でも、再生された画像データのデータ量は各フレームで同一である。したがって、1フレームを構成する各ブロックを一個または複数個の固定タイムスロットで処理を行うことにより、1フレームの符号化データの復号処理を1フレームの表示期間以内で必ず終了させられる。

【0019】また、各フレームの符号化データを復号する場合に要求される処理量のばらつきが大きい場合でも、復号処理回路における処理クロックの周波数を高める必要はなく、したがって消費電力は小さく抑えられる。

#### 【0020】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。まず、本発明の第一の実施例について説明する。

【0021】図1は、本発明の第一の実施例であるデジタル映像信号復号装置のブロック図である。1は符号化データの復号処理と表示処理を行うデコーダLSI（大規模集積回路）、2はデコーダLSIと接続されたメモリ、3は符号化データの入力端子、4は出力画像データの出力端子である。デコーダLSIにおいて、11は入力バッファメモリ、12は復号バッファメモリ、13は可変長復号ユニット、14はIQ（逆量子化）・

IDCT（逆ディスクリートコサイン変換）ユニット、15は動き補償ユニット、16は表示ユニット、17はメモリコントローラ、18はタイミングユニットである。

【0022】本実施例のデジタル映像信号復号装置は、IフレームとPフレームとBフレームが適宜織り交ぜられて符号化されたデジタル映像信号の符号化データを復号して、再生されたデジタル映像信号の画像データを出力するものである。米国や日本で用いられている525/60方式の現行TVに対応したデジタル映像信号復号装置である。映像信号は輝度信号と2種類の色差信号とから成り、2種類の色差信号の解像度は輝度信号に対して水平も垂直も1/2倍である。これは通常

10 [4:2:0]フォーマットと呼ばれるものである。フレーム周波数は約30フレーム/秒で、輝度信号のサンプリング周波数は13.5MHzである。輝度信号も2種類の色差信号も、画像データのビット数は8ビットである。

【0023】1フレームの有効画素数は、輝度信号では20水平720画素×垂直480ライン、2種類の色差信号では水平360画素×垂直240ラインである。したがって、1フレーム分の画像データのデータ量は(720×480+360×240×2)×8=4,147,200ビット、すなわち約4MBである。1秒間に表示処理すべき画素数の合計、すなわち画素レートは、輝度信号に関して720×480×30=10,368,000画素/秒である。2種類の色差信号に関しては、それぞれこの数値の1/4倍となる。

【0024】デコーダLSI1には、外部から表示出力のタイミングを指定する垂直同期信号と水平同期信号が入力される。また、表示処理のための表示クロックとして使用されるクロック信号も入力される。このクロック信号の周波数は輝度信号のサンプリング周波数と等しく、13.5MHzである。

【0025】タイミングユニット18は、入力された垂直同期信号と水平同期信号、およびクロック信号とから、デコーダLSI1を構成する入力バッファメモリ11、復号バッファメモリ12、可変長復号ユニット13、IQ・IDCTユニット14、動き補償ユニット15、表示ユニット16、およびメモリコントローラ17の各々の動作タイミングを指示する複数のタイミング制御信号を生成する。すなわち、表示タイミングに対して予め定められている固定タイムスロットに従って、これらのタイミング制御信号を生成するものである。

【0026】図5にタイミングユニット18の詳細なブロック図を示す。181は水平タイミング発生回路、182は垂直タイミング発生回路、183は論理ゲート回路である。水平タイミング発生回路181は、入力された水平同期信号によってリセットされ、13.5MHzの50クロック信号に従って一つづつカウント動作を行う水平

7  
画素カウンタである。水平帰線期間を含めた1ラインの全画素数分、すなわち858画素分のカウント動作を繰り返し行う。垂直タイミング発生回路182は、入力された垂直同期信号によってリセットされ、水平タイミング生成回路181が1ラインを構成する全画素数分のカウント動作を完了するたびに、一つづつカウント動作を行う垂直ラインカウンタである。垂直帰線期間を含めた1フィールドの全ライン数分、すなわち263ライン分または262ライン分のカウント動作を行う。1フレームを構成する第1フィールドでは263ライン分、第2フィールドでは262ライン分といった形でカウント動作を交互に行う。

【0027】論理ゲート回路183は、入力された13.5MHzの入力クロックを表示クロックとして出力するとともに、その29/6倍の周波数である65.25MHzのメモリクロック、および29/18倍の周波数である21.75MHzの処理クロックを生成して出力する。表示クロックは輝度信号のサンプリング周波数と等しく、表示ユニット16における表示処理のタイミングの基本となるクロック信号である。また、メモリクロックはメモリコントローラ17がメモリ2に対するデータアクセスのタイミングの基本となるクロック信号である。さらに、処理クロックは、入力バッファメモリ1、復号バッファメモリ12、可変長復号ユニット13、IQ・IDCTユニット14、および動き補償ユニット15における復号処理のタイミングの基本となるクロック信号である。

【0028】また、論理ゲート回路183は、水平タイミング生成回路181で生成された水平画素カウント値と、垂直タイミング生成回路182で生成された垂直ラインカウント値とから、所定のタイムスロットに従って各種のタイミング制御信号を生成して出力する。タイムスロットは、1フレーム期間において固定のパターンで定められている。なお、水平同期信号と垂直同期信号の外部入力がない場合には、水平タイミング生成回路181と垂直タイミング生成回路182がこれらの信号によってリセットされることなく、タイミングユニット18は内部同期モードで動作することになる。

【0029】図8は、固定タイムスロットの割り当てパターンを示す説明図である。1フレームは全525ラインから成り、1フレームを構成する第1フィールドは262ライン、第2フィールドは263ラインとなる。本実施例のデジタル映像信号復号装置では、1フレーム期間においてタイムスロットの割り当てパターンが図8の通り定められている。65.25MHzのメモリクロックを基準とした場合、1ライン期間は $858 \times 29 / 6 = 4147$ クロック分の時間となる。1ライン期間は1380クロックずつ三個のタイムスロットに分けられ、残りの7クロックはダミースロットとなっている。ダミースロットでは、メモリ2に対するデータアクセス

8  
は休止される。

【0030】第293ラインから第524ライン、および第0ラインから第253ラインにおいて割り当てられている1458個のタイムスロットが、1フレーム分の符号化データの復号処理のために使用される。また、第285ラインから第524ラインでは既に前で復号済みのフレームの第2フィールドの画像データの表示処理が、第22ラインから第261ラインでは現在復号されているフレームの第1フィールドの画像データの表示処理が行われる。各タイムスロットにおいては、1マクロブロックの復号処理に關係するメモリ2への各種のデータアクセス、および表示すべき再生画像データのメモリ2からの読み出しが時分割で行われる。このタイムスロットに従い、そのマクロブロックの復号処理も実行される。

【0031】ここで、マクロブロックとは、 $16 \times 16$ 画素の領域についての画像データの集まりである。ブロックの大きさを $8 \times 8$ 画素とすると、輝度信号については $16 \times 16$ 画素の領域は4ブロックから成る。また、2種類の色差信号については、解像度が水平方向も垂直方向も輝度信号と比べて1/2倍であるので、対応する領域は $8 \times 8$ 画素の領域であり各1ブロックから成る。したがって、1マクロブロックは合計6ブロックから構成される。1フレームは $720$ 画素 $\times 480$ ラインであるから、1フレームは $(720/16) \times (480/16) = 1350$ マクロブロックから構成されることになる。1フレーム分の符号化データの復号処理のためには、1フレーム期間において1458個のタイムスロットが割り当てられているので、基本的に各タイムスロットにおいて1マクロブロックの復号処理を実行すれば、1フレーム期間で1フレーム分の復号処理が実現できることになる。

【0032】図8に示す通り、各タイムスロットにおいては、(a) 表示画像データ読み出し、(b) 参照画像データ読み出し、および(c) 符号化データ読み出しという、メモリ2からの読み出しのための2種類の期間を設けている。次に、(d) メモリリフレッシュのための期間がある。ダイナミックメモリ素子で構成されるメモリ2に対しては周期的なリフレッシュ処理が必要であるため、(d) メモリリフレッシュにおいては、順番にアドレスを増加させながらメモリ2のダミー読み出しが行われる。その後、(e) 符号化データ書き込み、および(f) 再生画像データ書き込みという、メモリ2への書き込みのための2種類の期間を設けている。以上が終了した後の残り期間はマージン領域であり、メモリアクセスは基本的に休止される。なお、(a) 表示画像データ読み出し、(b) 参照画像データ読み出し、(c) 符号化データ読み出し、(e) 符号化データ書き込み、および(f) 再生画像データ書き込みの各々の処理については詳しく後述する。

【0033】メモリ2は、16Mビット（1Mビット=1,048,576ビット）の容量を持ち、データ幅は16ビットのダイナミックメモリ素子が一個で構成されている。65.25MHzのメモリクロックに従って動作し、約15nsごとにメモリアクセスが可能となっている高速なダイナミックメモリ素子である。図2は、4種類の領域に分割されたメモリ2のアドレス空間を示している。メモリ2には、各1フレーム分の画像データを記憶保持可能な容量を持つ3枚のフレームメモリ（フレームメモリ1～フレームメモリ3）の領域が割り当てられている。各フレームメモリの容量は約4Mビットであり、網かけされていない前半部分が輝度信号（Y）の画像データ用の領域であり、後半の網かけされている部分が2種類の色差信号（Cb, Cr）の画像データ用の領域である。また、残りの約4Mビットの領域は、符号化データを一時格納する符号化データ用バッファメモリ、および後述するOSD（On Screen Display）データ格納領域として用いられる。

【0034】図7は本発明によるディジタル映像信号復号装置の全体動作の概念図である。IフレームとBフレーム、Pフレームとから成る符号化データを復号処理、および表示処理する全体動作を示している。各フレームの符号化データの復号処理は、表示の1フレーム期間で実行される。IフレームとPフレームとを復号した結果の再生画像データはフレームメモリ1とフレームメモリ2とに交互に格納される（I-W, P1-W）。また、Bフレームを復号した結果の再生画像データはフレームメモリ3に格納される（B1-W, B2-W, B3-W）。Pフレームの復号処理の際には、その前に復号されたIフレームまたはPフレームの再生画像データが、フレームメモリ1またはフレームメモリ2からフレーム間予測のための参照画像データとして読み出される（Iref-R）。同様にして、Bフレームの復号処理の際には、その前に復号された2枚のIフレームまたはPフレームの再生画像データが、フレームメモリ1とフレームメモリ2とからフレーム間内挿のための2種類の参照画像データとして読み出される（Iref-R, P0ref-R, P1ref-R）。

【0035】各フレームの符号化データの表示処理は、復号処理からは1フィールド期間遅延された表示の1フレーム期間で実行される。Bフレームについては、復号処理の1フィールド後に、フレームメモリ3からBフレームの再生画像データが表示画像データとして読み出される（B0-R, B1-R, B2-R, B3-R）。また、IフレームとPフレームについては、フレーム順の並び換えが行われながら、フレームメモリ1またはフレームメモリ2から各再生画像データが表示画像データとして読み出される（P0-R, I-R）。

【0036】さて、入力バッファメモリ1は、入力された符号化データを、図8の（e）符号化データ書き込

みの期間において、メモリ2内に割り当てられた符号化データ用バッファメモリに書き込む。また、復号バッファメモリ12は、復号しようとする符号化データを、図8の（c）符号化データ読み出しの期間において、メモリ2内に割り当てられた符号化データ用バッファメモリから読み出す。入力バッファメモリ11と復号バッファメモリ12は、それぞれFIFO（先入れ先出し）メモリを内部に備えるものである。

【0037】図3に入力バッファメモリ11と復号バッファメモリ12の詳細なブロック図を示す。入力バッファメモリ11において、111は並列化回路、112はFIFOメモリ、113はメモリ空き容量演算回路、114はFIFOコントローラである。並列回路111は、8ビットのデータ幅で入力される符号化データを順番に三個ずつ並列化し、48ビットのデータ幅の符号化データに変換して出力するものである。FIFOメモリ112は、並列化回路111の出力である符号化データが書き込まれるとともに、メモリ2に対する（e）符号化データ書き込みのために符号化データが読み出される、比較的小な容量のFIFOメモリである。48ビットのデータ幅を持つ。書き込みと読み出しのタイミングがずれていて、かつ必要なデータアクセスの速度も異なる点を解決するためのものである。

【0038】FIFOコントローラ114は、図8に示したメモリ2に対する（e）符号化データ書き込みの期間において、メモリ2内の符号化データ用バッファメモリにまだ符号化データを格納する余裕がある場合にメモリコントローラ17から与えられるデータリクエスト信号に従って、FIFOメモリ112から記憶保持されている符号化データを読み出し、データバスを介してメモリコントローラ17に渡す。また、メモリ空き容量演算回路113は、FIFOメモリ112内に記憶保持されている符号化データのデータ量を監視し、FIFOメモリ112の空き容量を計算してFIFOコントローラ114に伝える。FIFOコントローラ114は、FIFOメモリ112が符号化データではなく一杯となり空き容量が非常に少なくなっている場合には、FIFOメモリ112への符号化データの書き込みを一時停止させるために、符号化データの入力を一時停止してくれるよう外部に対して要求を出す。

【0039】復号バッファメモリ12において、121はFIFOメモリ、122はメモリ空き容量演算回路、123はFIFOコントローラである。FIFOメモリ121は、メモリ2に対する（c）ピットバッファ読み出しのために符号化データが書き込まれるとともに、可変長復号ユニット13へ出力する符号化データが読み出されるFIFOメモリである。1マクロブロック分の符号化データのデータ量の最大値に相当する容量を備え、48ビットのデータ幅を持つ。書き込みと読み出しのタイミングがずれていて、かつ必要なデータアクセスの速

度も異なる点を解決するためのものである。

【0040】メモリ空き容量演算回路122は、FIFOメモリ121内に記憶保持されている符号化データのデータ量を監視し、FIFOメモリ121の空き容量を計算してFIFOコントローラ123に伝える。これに従って、FIFOコントローラ123は、図8に示したメモリ2に対する(c)符号化データ読み出しの期間において、FIFOメモリ121にまだ符号化データを格納する余裕がある場合には、メモリ2の符号化データ用バッファメモリに記憶保持されている符号化データを読み出すようにメモリコントローラ17に対してデータリクエスト信号を出す。それに応じて、データバスを介してメモリ2から読み出された符号化データをFIFOメモリ121に書き込む。FIFOコントローラ114は、可変長復号ユニット13から与えられるデータリクエスト信号に従って、FIFOメモリ112から符号化データを読み出し、可変長復号ユニット13に渡す。

【0041】可変長復号ユニット13、IQ・IDCTユニット14、および動き補償ユニット15は、符号化データの復号処理をマクロブロック単位で順次実行する処理回路である。タイミングユニット18から与えられるタイミング制御信号に従って、それぞれの処理回路は動作する。

【0042】可変長復号ユニット13は、復号バッファメモリ12に対してデータリクエスト信号を出力し、復号バッファメモリ12からその内部のFIFOメモリ121に記憶保持されていた符号化データを受け取る。そして、1マクロブロックに割り当てられた固定タイムスロットに従って、1マクロブロック分の符号化データについて可変長符号の復号を行い、ヘッダに含まれる付加情報やヘッダに続く量子化係数データを再生する。21.75MHzの処理クロックに従って、一つずつこれらのデータの復号処理を行っていくので、新たな符号化データの入力が必要となる都度、復号バッファメモリ12に対してデータリクエスト信号を出力する。

【0043】なお、可変長復号ユニット13で復号された付加情報には、逆量子化処理で必要となる量子化パラメータや、動き補償処理で必要となる差分動きベクトル、復号している画像がIフレーム、Pフレーム、Bフレームのいずれであるかを示す画像符号化タイプ等がある。例えば、量子化パラメータはIDCTユニット14に、差分動きベクトルは動き補償ユニット15に、画像符号化タイプはメモリコントローラ17に与えられる。符号化データの復号処理のために使用されるタイムスロット以外、例えば第262ラインから第284ラインに割り当てられているタイムスロット等においても、この可変長復号ユニット13はヘッダ解析処理を適宜実行し、ヘッダに含まれるその他の様々な付加情報を出力する。

【0044】IQ・IDCTユニット14は、可変長復

号ユニット13で復号された量子化係数データを受けて、1マクロブロックに割り当てられた固定タイムスロットに従って、1マクロブロック分の量子化係数データについて逆量子化と逆DCTを行い、予測誤差データを再生する。まず、逆量子化の処理において、可変長復号ユニット13から与えられた量子化パラメータに応じて、量子化係数データがスケーリングされる。そして、その結果の係数データが逆DCT処理され予測誤差データが生成される。

10 【0045】動き補償ユニット15は、可変長復号ユニット13から与えられたマクロブロックごとの差分動きベクトルから動きベクトルを再生し、その動きベクトルをメモリコントローラ17に対して出力する。直前に再生した動きベクトルの値を記憶保持し、その値を差分動きベクトルの値の加算することで動きベクトルを再生する。それに応じて、メモリコントローラ17は、(b)参照画像データ読み出しの期間において、メモリ2内のフレームメモリから参照画面の再生画像データを読み出して参照画像データとして動き補償ユニット15に与える。

20 メモリ2内のフレームメモリ(フレームメモリ1とフレームメモリ2)に、参照画面として用いる既に復号済みのIフレームまたはPフレームが記憶保持されている。ただし、Iフレームの場合には、参照画像データは必要ないので(b)参照画像データ読み出しは停止される。また、Bフレームの場合には、必要となる1種類または2種類の参照画像データが読み出される。

【0046】動き補償ユニット15は、IQ・IDCTユニット14で再生された予測誤差データを受けて、1マクロブロックに割り当てられた固定タイムスロットに従って、1マクロブロック分の予測誤差データと読み出された参照画像データとから再生画像データを再生する。ここでは平均や加算の処理が行われる。以上の処理によって再生された再生画像データは、(f)再生画像データ書き込みの期間において、メモリ2内のフレームメモリに書き込まれる。IフレームまたはPフレームの再生画像データは、フレームメモリ1とフレームメモリ2のどちらかに対して書き込まれる。2枚のフレームメモリが順次交互に選択される。また、Bフレームの再生画像データは、フレームメモリ3に対して書き込まれる。

30 【0047】表示ユニット16は、メモリ2内のフレームメモリから読み出された再生画像データを受けて、順次13.5MHzの表示クロックに従って、表示画像データとしてデコーダLSI1の出力端子から出力する。1マクロブロックに割り当てられた固定タイムスロットにおける(a)表示画像データ読み出しの期間で、1ラインの1/3に相当する画素数分の再生画像データがメモリ2から読み出される。すなわち、1ラインに表示する720画素の輝度信号、および各360画素の2種類

40 の色差信号の再生画像データが、三個のタイムスロット

の先頭で1/3ずつ読み出される。480バイトの再生画像データがメモリ2から読み出されることになる。図8において、第22ラインから第261ラインでは、第1フィールドの表示のための(a)表示画像データ読み出しが行われる。同様にして、第285ラインから第524ラインでは、第2フィールドの表示のための(a)表示画像データ読み出しが行われる。

【0048】図6に表示ユニット16の詳細なブロック図を示す。表示ユニット16において、161は輝度用ラインメモリ、162はインタポレーション回路、163・164は二個の色差用ラインメモリ、165は直列化回路、166はタイミング制御回路、167はOSD発生回路、168はマルチプレクサである。直列化回路165は、48ビットのデータ幅のデータバスを経由して入力される表示画像データを、8ビットのデータ幅に変換して順番に出力するものである。輝度信号の表示画像データは輝度用ラインメモリ161に書き込まれ、2種類の色差信号の表示画像データは色差用ラインメモリ162・163のそれぞれに書き込まれる。輝度用ラインメモリ161は240バイトの容量を持つFIFOメモリである。また、色差用ラインメモリ162・163はそれぞれ120バイトの容量を持つFIFOメモリである。

【0049】輝度用ラインメモリ161からは、水平帰線期間と垂直帰線期間を除いた表示期間において、13.5MHzの表示クロックに従って、輝度信号の表示画像データが順次読み出される。同時に、色差用ラインメモリ162・163からは、表示クロックの1/2倍の周波数の6.75MHzのクロックに従って、2種類の色差信号の表示画像データが順次読み出される。各ラインメモリ161・162・163に対する書き込みと読み出しのタイミングは、タイミングユニット18から与えられるタイミング制御信号に従ってタイミング制御回路166が制御する。

【0050】インタポレーション回路162は、[4:2:0]フォーマットではなく[4:2:2]フォーマットの形式とするために、2種類の色差信号の表示画像データに関してそれぞれ垂直方向のインタポレーション処理を行い、その後で画素単位で2種類の色差信号の表示画像データを交互に時分割多重する。各フィールドにおいて、復号処理して再生した120ラインの色差信号を2倍の240ラインに変換することになる。そのためにインタポレーション回路162の中には、前ラインの2種類の色差信号の再生画像データを記憶保持するラインメモリが含まれている。

【0051】なお、表示ユニット16は、メモリ2内のOSDデータ格納領域から読み出されたOSDデータを受けて、それから文字やグラフィックのピットマップ画像データを生成し、デコーダLSI1から出力する表示画像データにスーパーインポーズする機能もある。1マ

クロブロックに割り当てられた固定タイムスロットにおける(a)表示画像データ読み出しの期間で、1ラインの1/3に表示すべきOSDデータが表示画像データとともにメモリ2から読み出される。なお、図1には明示していないが、CPU(中央演算処理ユニット)がこのOSDデータをメモリ2内のOSDデータ格納領域へ書き込む。符号化データの復号処理のために使用されるタイムスロット以外、例えば第262ラインから第284ラインに割り当てられているタイムスロットにおいて、このCPUのOSDデータ書き込みは実行される。

【0052】OSD発生回路167は、メモリ2から読み出したOSDデータを一旦内部に記憶保持した後に、表示画像データの表示出力タイミングに合わせて、文字やグラフィックのピットマップ画像データを生成して出力する。マルチプレクサ168は、ラインメモリ161から出力された輝度信号の再生画像データに、OSD発生回路167から出力された輝度信号のピットマップ画像データをスーパーインポーズする。同様に、色差信号の再生画像データには、ピットマップ画像データがスーパーインポーズされる。その結果の輝度信号と色差信号の表示画像データは、デコーダLSI1の出力端子から出力画像データとして出力される。

【0053】メモリコントローラ17は、メモリ2に対するデータアクセスを制御する処理回路である。(c)符号化データ読み出し、(e)符号化データ書き込み、(b)参照画像データ読み出し、(f)再生画像データ書き込み、(a)表示画像データ読み出しの各メモリアクセスについて、アドレスと制御信号を生成してメモリ2に出力する。また、内部のデータバスから書き込みデータを入力してメモリ2に出力し、逆にメモリ2からデータを読み出して内部のデータバスに読み出しデータを出力する。タイミングユニット18から与えられるタイミング制御信号により、固定タイムスロットの中で各アクセスを切り換えることになる。

【0054】図4にメモリコントローラ17の詳細なブロック図を示す。メモリコントローラ17において、171は直列化回路、172は並列化回路、173はメモリ空き容量演算回路、174は符号化データ書き込みアドレス発生ユニット、175は符号化データ読み出しアドレス発生ユニット、176は参照画像データ読み出しアドレス発生ユニット、177は再生画像データ書き込みアドレス発生ユニット、178は表示画像データ読み出しアドレス発生ユニットである。直列化回路171と並列化回路172は、データ幅が48ビットのメモリ2と接続されたデータ線との間で、データ幅の変換を行う回路である。

【0055】符号化データ書き込みアドレス発生ユニット174は、(e)符号化データ書き込みにおけるアドレスと制御信号を順次発生させ、メモリ2への符号化デ

ータの書き込みを制御する。符号化データ読み出しアドレス発生ユニット175は、(c) 符号化データ読み出しにおけるアドレスと制御信号を順次発生させ、メモリ2からの符号化データの読み出しを制御する。ただし、復号バッファメモリ12からデータリクエスト信号が与えられていない場合には、固定タイムスロット内の(c) 符号化データ読み出しの期間であっても、メモリ2からの符号化データの読み出しは一時停止される。なお、メモリ空き容量演算回路173は、符号化データ書き込みアドレス発生ユニット174で生成された書き込みアドレスと、符号化データ読み出しアドレス発生ユニット175で生成された読み出しアドレスから、メモリ2に割り当てられている符号化データ用バッファメモリの空き容量を算出し、符号化データを格納する空きが存在する場合に、データリクエスト信号を入力バッファメモリ11に出力する。

【0056】参照画像データ読み出しアドレス発生ユニット176は、(b) 参照画像データ読み出しにおけるアドレスと制御信号を順次発生させ、メモリ2からの参照画像データの読み出しを制御する。ここで、(b) 参照画像データ読み出しにおけるアドレスには、動き補償ユニットから与えられる動きベクトルの値に応じてオフセット値が加えられる。読み出すべき参照画像データの種類は1種類または2種類であり、かつ読み出しの必要のない場合もあるから、その状況に応じて固定タイムスロット内の(b) 参照画像データ読み出しの期間であっても、メモリ2からの参照画像データの読み出しは途中で終了することがある。再生画像データ書き込みアドレス発生ユニット177は、(f) 再生画像データ書き込みにおけるアドレスと制御信号を順次発生させ、メモリ2への再生画像データの書き込みを制御する。表示画像データ読み出しアドレス発生ユニット178は、(a) 表示画像データ読み出し(さらにOSDデータの読み出しを含む場合もある)におけるアドレスと制御信号を順次発生させ、メモリ2からの表示画像データの読み出しを制御する。その際、可変長復号ユニット13から出力されている画像符号化タイプに応じて、メモリ2内の3枚のフレームメモリのいずれかを選択し、それに対応したアドレスを生成する。

【0057】次に、本発明の第二の実施例について説明する。

【0058】図9は、本発明の第二の実施例であるディジタル映像信号復号装置における、固定タイムスロットの割り当てパターンを示す説明図である。本実施例のディジタル映像信号復号装置のブロック図は、図1に示した本発明の第一の実施例の場合と同じである。また、デコーダLSI1を構成する各処理回路の動作は、基本的に本発明の第一の実施例の場合と同じである。

【0059】本実施例のディジタル映像信号復号装置は、欧州で主に用いられている625/50方式の現行

TVに対応したものであり、ディジタル映像信号の符号化データを復号して、再生されたディジタル映像信号の画像データを出力するものである。映像信号は輝度信号と2種類の色差信号とから成り、[4:2:0] フォーマットである。フレーム周波数は25フレーム/秒で、輝度信号のサンプリング周波数は13.5MHzである。1フレームの有効画素数は、輝度信号では水平720画素×垂直576ライン、2種類の色差信号では水平360画素×垂直288ラインである。したがって、10 1フレーム分の画像データのデータ量は $(720 \times 576 + 360 \times 288 \times 2) \times 8 = 4,976,640$ ビット、すなわち約4.75Mビットである。1秒間に表示処理すべき画素数の合計、すなわち画素レートは、輝度信号に関して $720 \times 576 \times 25 = 10,368,000$ 画素/秒である。2種類の色差信号に関しては、それぞれこの数値の1/4倍となる。以上の画素レートは、本発明の第一の実施例の場合と同じである。

【0060】1フレームは全625ラインから成り、1フレームを構成する第1フィールドは312ライン、第20 第2フィールドは313ラインとなる。本実施例のディジタル映像信号復号装置では、1フレーム期間においてタイムスロットの割り当てパターンが図9の通り定められている。6.5.25MHzのメモリクロックを基準とした場合、1ライン期間は $864 \times 29 / 6 = 4176$ クロック分の時間となる。1ライン期間は1380クロックずつ三個のタイムスロットに分けられ、残りの36クロックはダミースロットとなっている。ダミースロットでは、メモリ2に対するデータアクセスは休止される。

【0061】第345ラインから第624ライン、および第0ラインから第303ラインにおいて割り当てられている1752個のタイムスロットが、1フレーム分の符号化データの復号処理のために使用される。また、第337ラインから第624ラインでは既に前で復号済みのフレームの第2フィールドの画像データの表示処理が、第24ラインから第311ラインでは現在復号されているフレームの第1フィールドの画像データの表示処理が行われる。各タイムスロットにおいては、1マクロブロックの復号処理に係るメモリ2への各種のデータアクセス、および表示すべき再生画像データのメモリ2からの読み出しが時分割で行われる。このタイムスロットに従い、そのマクロブロックの復号処理も実行される。

【0062】1フレームは720画素×576ラインであるから、1フレームは $(720 / 16) \times (576 / 16) = 1620$ マクロブロックから構成されることになる。1フレーム分の符号化データの復号処理のためには、1フレーム期間において1752個のタイムスロットが割り当てられているので、基本的に各タイムスロットにおいて1マクロブロックの復号処理を実行すれば、50 1フレーム期間で1フレーム分の復号処理が実現できる

ことになる。

【0063】各タイムスロットにおいては、図8に示した本発明の第一の実施例の場合と同じく、(a)表示画像データ読み出し、(b)参照画像データ読み出し、(c)符号化データ読み出し、(d)メモリリフレッシュ、(e)符号化データ書き込み、および(f)再生画像データ書き込みという複数種類の期間を設けている。以上が終了した後の残り期間はマージン領域であり、メモリアクセスは基本的に休止される。

【0064】図2に示した本発明の第一の実施例の場合と同じく、メモリ2には、各1フレーム分の画像データを記憶保持可能な容量を持つ3枚のフレームメモリ(フレームメモリ1～フレームメモリ3)の領域が割り当てられている。各フレームメモリの容量は約4.75Mビットであり、網かけされていない前半部分が輝度信号(Y)の画像データ用の領域であり、後半の網かけされている部分が2種類の色差信号(Cb, Cr)の画像データ用の領域である。また、残りの約1.75Mビットの領域は、符号化データを一時格納する符号化データ用バッファメモリ、およびOSDデータ格納領域として用いられる。

【0065】なお、本実施例における各タイムスロットの時間の長さ、およびタイムスロット内のメモリアクセスの切り換えのタイミング等は、本発明の第一の実施例の場合と同じである。したがって、525/60方式と625/50方式の現行TVに対応した2種類の動作モードを備え、本実施例の動作と本発明の第一の実施例の動作とを切り換えて動作する、ディジタル映像信号復号装置も容易に実現できることは明らかである。

【0066】また、本実施例の場合も本発明の第一の実施例の場合も、1マクロブロックに対して復号処理を行うタイムスロットを固定的に割り当てていたが、例えば2ブロック単位のように、より小さな単位でタイムスロット割り当てを行うことも可能である。この場合には、メモリアクセスの種類切り換えの頻度が多くなるので、タイミングユニットやメモリコントローラの処理は多少複雑になるが、復号処理を行う各処理回路で必要となる作業用メモリのサイズを削減することができる。

【0067】なお、以上示した実施例は、フレーム内符号化と動き補償を利用したフレーム間符号化やフレーム内挿符号化との組み合わせにより、フレーム単位で符号化された符号化データに対応したものであるが、例えばフレーム内符号化のみで符号化された符号化データの場合でも本発明は同様に適用できる。また、フレーム単位で符号化されるだけでなく、フィールド単位で符号化されることがあり、両者の符号化データが混在している場合にも同様に適用できる。さらに、符号化方式としては、実施例で示したようなDCTを利用した方式でなくても、所定サイズのブロック単位で処理を行う他の方式、例えばベクトル量子化を利用した方式であってもよ

い。

【0068】ディジタル映像信号復号装置に入力される符号化データに関しては、固定ピットレートで連続的に入力される場合だけでなく、可変ピットレートで入力される場合や、バースト的に入力される場合も考えられるが、いずれの場合においても、本発明は同様に適用できる。

【0069】現行TVとは解像度が異なるHDTVに対応したディジタル映像信号復号装置に対しても、本発明が適用できることは明らかである。525/60方式の現行TV、625/50方式の現行TV、HDTV等の複数の映像信号に対応して処理を切り換えるディジタル映像信号復号装置であってもよい。さらに、インターレース走査の表示出力だけでなく、順次走査の表示出力も可能なディジタル映像信号復号装置に対しても、本発明は同様に適用できる。

【0070】ディジタル映像信号符号化装置に対しても、そのディジタル映像信号符号化装置が符号化処理を行うとともに復号処理も行って再生画像データを表示出力する構成であるのならば、本発明はディジタル映像信号符号化装置に含まれるディジタル映像信号復号回路に対して適用可能である。

【0071】以上示した実施例では、フレームメモリとして割り当てていないメモリ2の中の一部分を符号化データ用バッファメモリとして使用していたが、バッファメモリ容量が不足する場合等においては、さらに符号化データの入力端子とデコーダLSI1の入力の間に別のバッファメモリを付加してもよい。

【0072】  
30 【発明の効果】本発明によれば、復号処理回路と表示処理回路、および復号処理回路を構成する様々な処理回路が同期して動作するので、ディジタル映像信号復号装置の全体の動作を司る固定タイムスロットのタイミング信号を生成するタイミング回路は簡単な回路となり、回路規模は小さく抑えられる。また、1フレームを構成する各ブロックを1個または複数個の固定タイムスロットで処理を行うことにより、1フレームの符号化データの復号処理を1フレームの表示期間以内で必ず終了させることができる。したがって、復号処理回路における処理クロックの周波数を低くして、消費電力を小さく抑えることができる。

【図面の簡単な説明】  
【図1】本発明によるディジタル映像信号復号装置の第一の実施例を示すブロック図である。

【図2】図1に示したディジタル映像信号復号装置におけるメモリ2の領域割り当てを示す説明図である。

【図3】図1に示したディジタル映像信号復号装置における入力バッファメモリ11と復号バッファメモリ12の詳細なブロック図である。

【図4】図1に示したディジタル映像信号復号装置にお

けるメモリコントローラ 17 の詳細なブロック図である。

【図 5】図 1 に示したデジタル映像信号復号装置におけるタイミングユニット 18 の詳細なブロック図である。

【図 6】図 1 に示したデジタル映像信号復号装置における表示ユニット 16 の詳細なブロック図である。

【図 7】図 1 に示したデジタル映像信号復号装置の全体動作を示す説明図である。

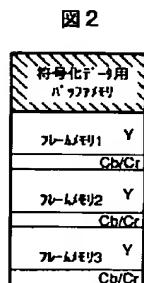
【図 8】図 1 に示したデジタル映像信号復号装置における固定タイムスロットの割り当てパターンを示す説明図である。

【図 9】本発明によるデジタル映像信号復号装置の第二の実施例における固定タイムスロットの割り当てパターンを示す説明図である。

【符号の説明】

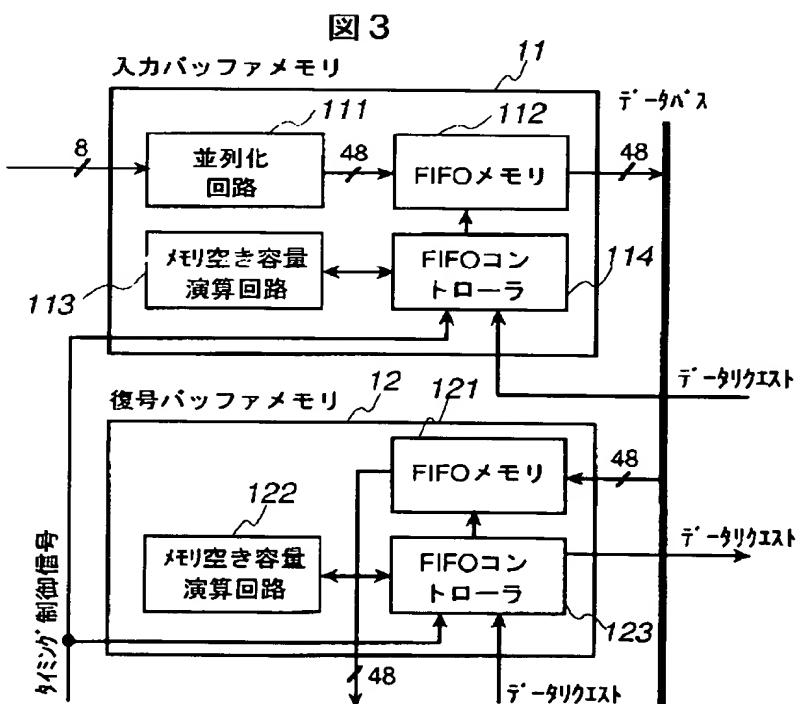
1 デコーダ L S I

【図 2】



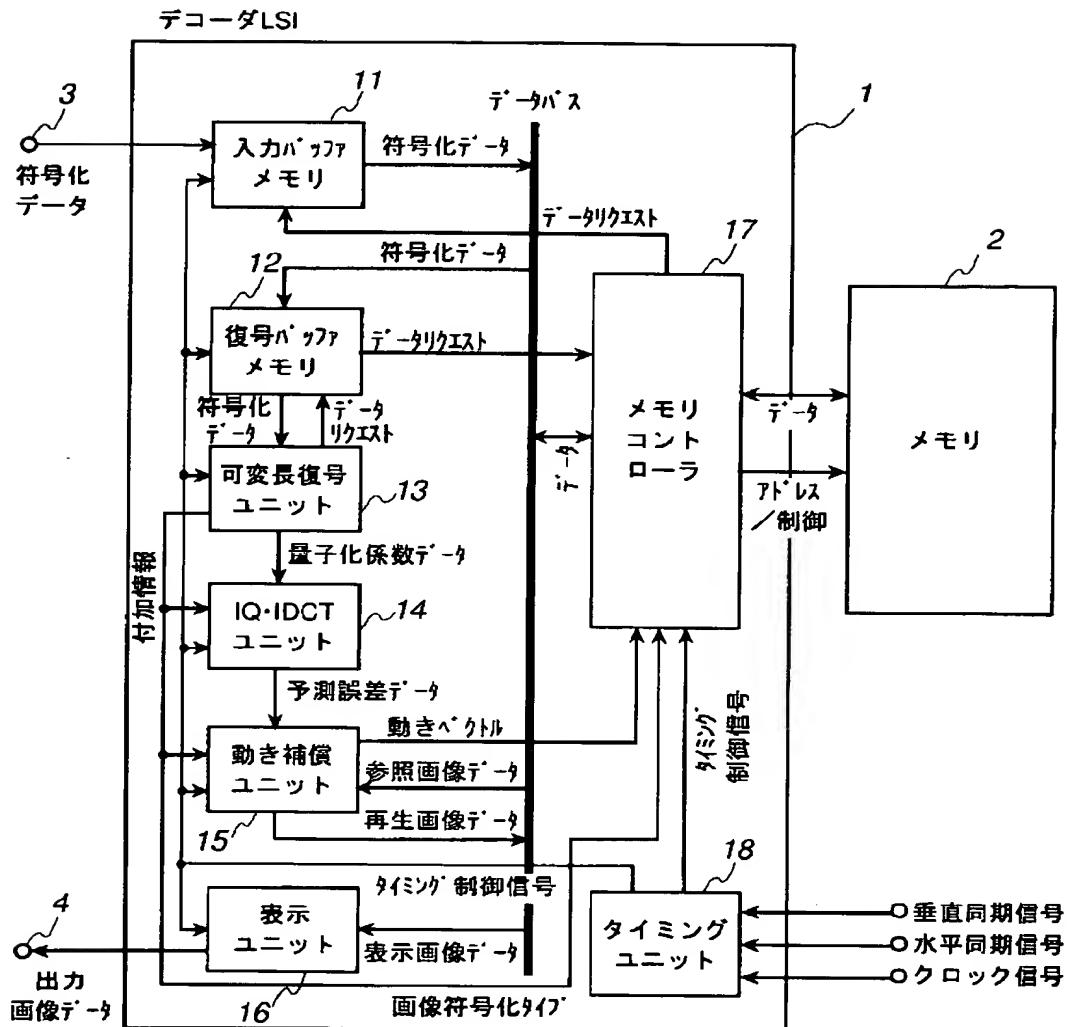
2 メモリ  
 1 1 入力バッファメモリ  
 1 2 復号バッファメモリ  
 1 3 可変長復号ユニット  
 1 4 I Q・IDCTユニット  
 1 5 動き補償ユニット  
 1 6 表示ユニット  
 1 7 メモリコントローラ  
 1 8 タイミングユニット  
 10 1 1 2, 1 2 1 FIFOメモリ  
 1 1 3, 1 2 2, 1 7 3 メモリ空き容量演算回路  
 1 7 4 符号化データ書き込みアドレス発生ユニット  
 1 7 5 符号化データ読み出しアドレス発生ユニット  
 1 7 6 参照画像データ読み出しアドレス発生ユニット  
 1 7 7 再生画像データ書き込みアドレス発生ユニット  
 1 7 8 表示画像データ読み出しアドレス発生ユニット

【図 3】



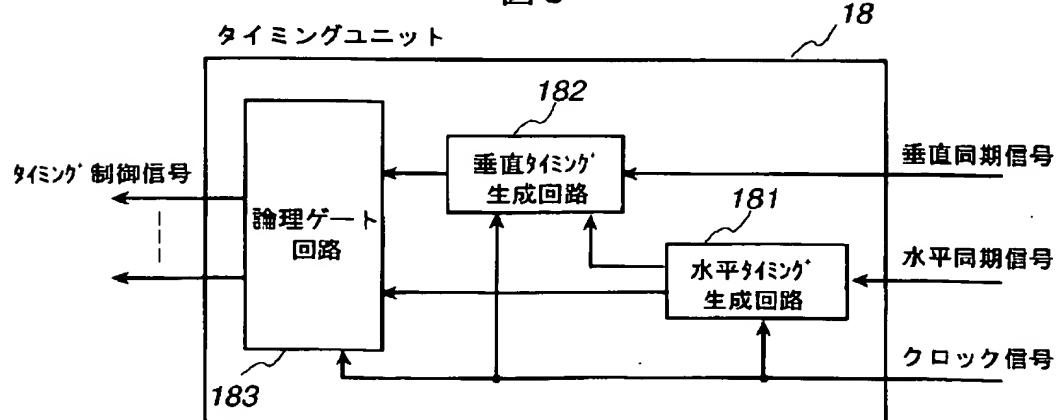
【図1】

図1



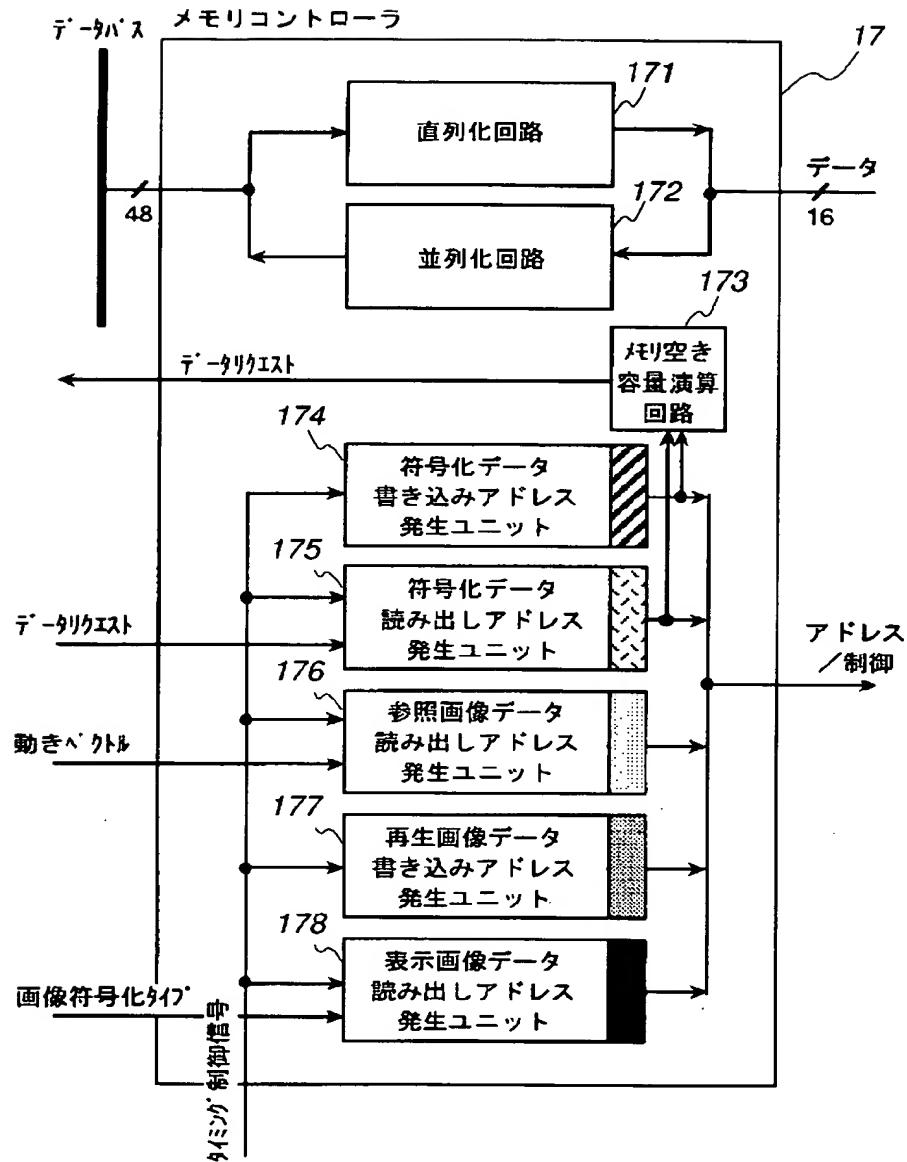
【図5】

図5



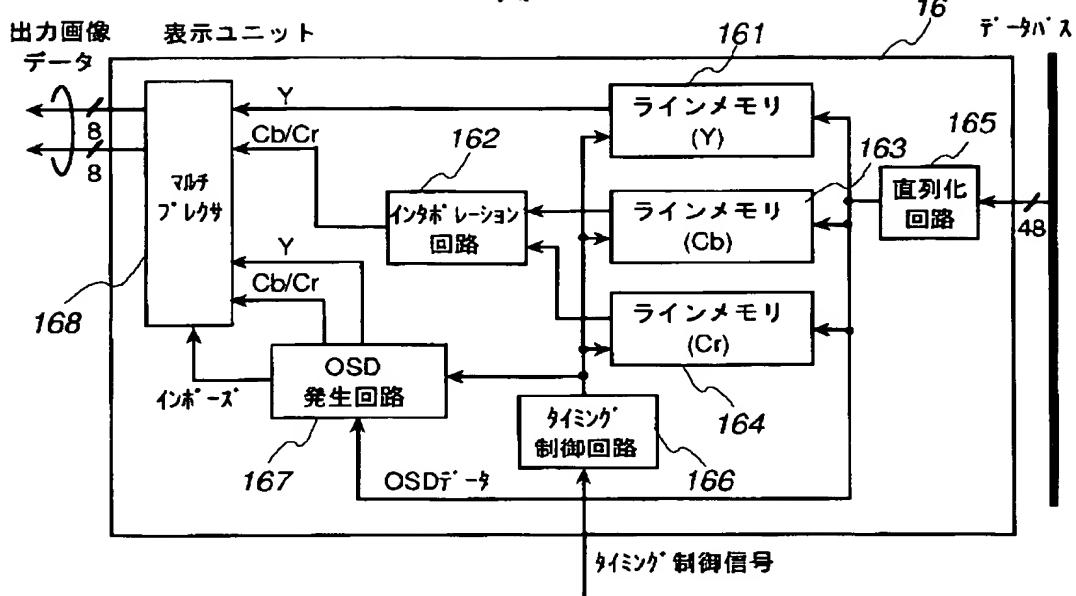
【図4】

図4



【图6】

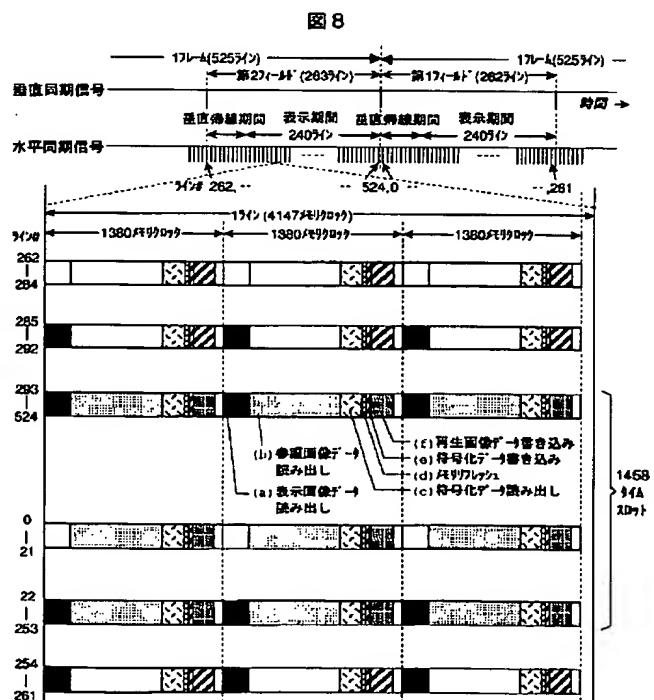
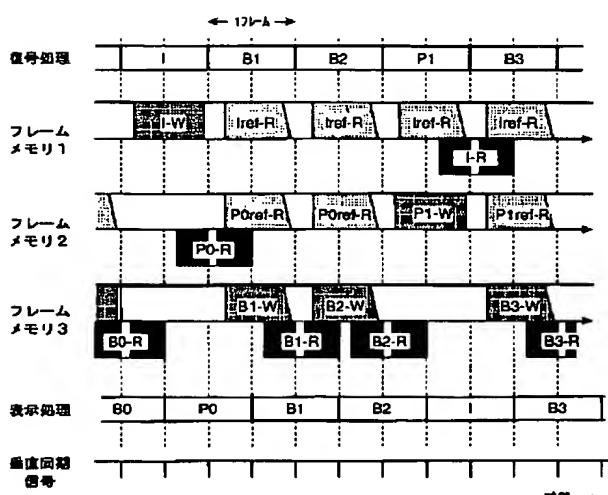
6



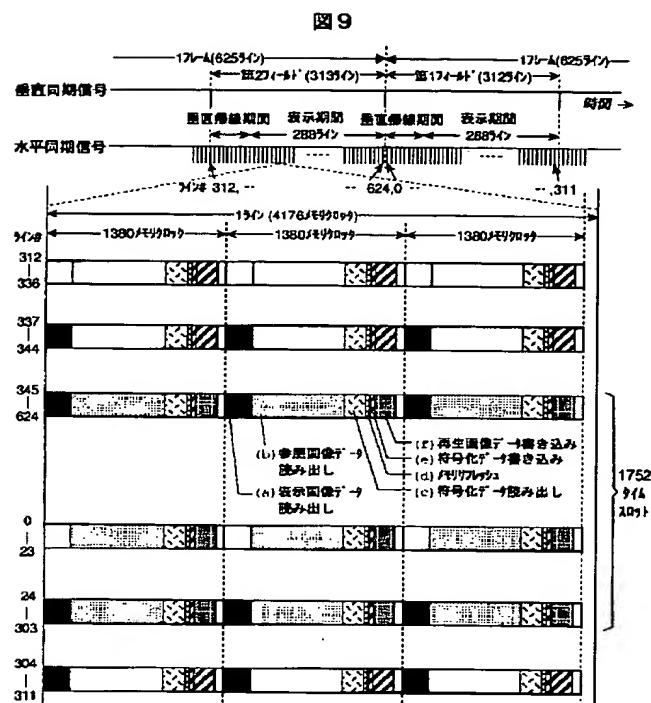
【四七】

[圖 8]

圖 7



【図9】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F 1

技術表示箇所

H 0 4 N 7/24

H 0 4 N 7/13

Z

(72) 発明者 溝添 博樹

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所映像メディア研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image  
problems checked, please do not report these problems to  
the IFW Image Problem Mailbox.**

---